

銅薄膜を利用したCPU冷却モジュールの開発に関する研究

森田寛之*¹ 黒河内昭夫*² 和田健太郎*² 長谷川靖洋***¹ 柏木邦宏***²

Study on Development of CPU Cooling Module Using Copper Thin Film

MORITA Hiroyuki*¹, KUROKOUCHI Akio*², WADA Kentaro*²,
HASEGAWA Yasuhiro***¹, KASHIWAGI Kunihiro***²

抄録

酸化銅は、P型半導体であり、かつ高いゼーベック係数を有することが知られている。しかし、酸化銅バルクは非常にもろく抵抗の高い材料であるため、実用化に至っていない。そこで酸化銅を薄膜にすることで密着性が良好でかつ強度のある薄膜型熱電素子を作製した。酸化銅薄膜の作製条件として、RF電力、成膜レート及び酸素導入量等をパラメータとして最適化し、ゼーベック係数8.2mV/K、抵抗率2.5Ω mの酸化銅薄膜を作製した。

キーワード：酸化銅，薄膜，ゼーベック係数，抵抗率

1 はじめに

現在、省エネルギー化や環境問題対策の一つとして、熱電素子が注目されている。温度差を与えると発電し、電圧を印加すると温度差の発生する熱電素子は、機械的部分がないこと、高精度な温度制御が可能であることから、各分野で応用が期待されている。しかし、熱電素子の熱電変換効率が低いため、半導体製造用レーザーの温度制御等、限定的に使用されている。その熱電素子の研究において薄膜型熱電素子が注目されており、熱電素子を薄膜化・微小化することでLSI等の半導体から発生するジュール熱を取り除くことができる¹⁾。また、マスキングや積層により様々な構造をとることで、複雑な回路にも適用することができる。

本研究では、安価に入手でき、かつ配線に使用されている銅に注目し、薄膜型熱電素子として、

高いゼーベック係数を持つ酸化銅の薄膜型熱電素子を作製・評価を行った。

2 実験方法

2.1 酸化銅薄膜の作製

酸化銅作製に当たり、本センターの所有するイオンプレーティング装置（昭和真空(株)製 SIP-650）を使用した（図1）。ターゲットに純銅をセットし、電子ビームにより熔融させる。チャンバー内に酸素プラズマを発生させて純銅を蒸発させることにより銅粒子を酸化させて基板上に成膜した。

*¹ 電子情報技術部

*² 材料技術部

***¹ 埼玉大学大学院理工学研究科

***² 東洋大学工学部

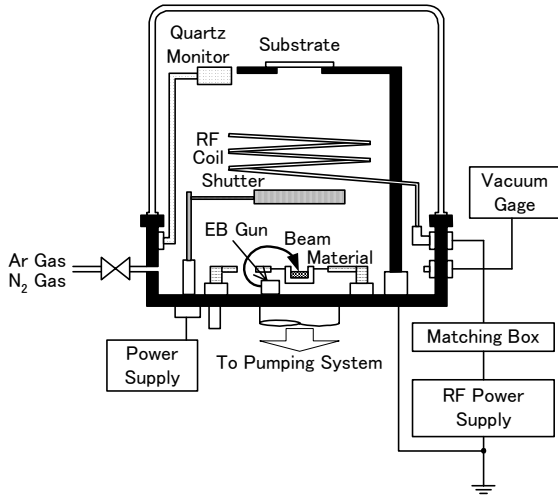


図1 イオンプレーティング装置概略図

2.2 酸化銅薄膜の評価

作製した酸化銅薄膜を評価するため、ゼーベックテスターを作製した。2本の熱電対の1つに巻き付けたニクロム線に通電・加熱することで温度差を発生させた。図2のように2つの熱電対を酸化銅薄膜に接触させて銅薄膜に発生する熱起電力を電圧計で測定した。測定した温度、熱起電力から式(1)よりゼーベック係数を算出した。

$$\alpha = \frac{V}{\Delta T} \dots\dots\dots (1)$$

α : ゼーベック係数 (V/K)

V : 熱起電力 (V)

ΔT : 温度差 (K)

酸化銅薄膜の抵抗率測定は LORESTA-AP (三菱油化(株)製 MCP-T400) を用いて測定した。

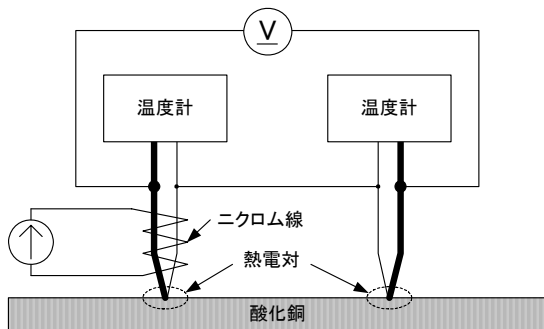


図2 ゼーベックテスター概要

2.3 水素プラズマ処理

酸化銅は金属や半金属に比べて抵抗率が高いので、抵抗を低減させるため、キャリアを多く含む

銅を混合させて抵抗率低減を目指した。その方法の一つとして、チャンバー内に水素プラズマを発生させて酸化銅薄膜表面を銅に還元させることを実施した。

3 実験結果および考察

3.1 ゼーベック係数および抵抗率

酸化銅薄膜を作製するに当たり、パラメータとして、RF 電力、成膜レート及び酸素導入量を振り、酸化銅の作製し、ゼーベック係数を測定した。はじめに、RF 電力 300W、酸素導入量を 30ml/min と固定して、成膜レートを 5、15、30 Å/s の各条件で酸化銅薄膜を作製した。その結果、図3のように成膜レートが高いとゼーベック係数は低下することがわかった。次に RF 電力をパラメータとして、成膜レート 5 Å/s、酸素導入量を 15ml/min として酸化銅薄膜を作製した。図4の結果から、RF 電力 300W で作製した酸化銅薄膜が最も高いゼーベック係数をとった。

さらに、酸素導入量を 10~30ml/min と変化させて、RF300W、成膜レート 5 Å/s で作製した。

図3~5の結果から、ゼーベック係数が最も高い酸化銅薄膜の作製条件は、RF 電力 300W、成膜レート 5 Å/s、酸素導入量 15ml/min となった。導き出した作製条件により作製した酸化銅薄膜のゼーベック係数は、0.73mV/K と非常に高い値となった。また、図6に示す XRD の結果から、酸素導入量の制御により任意の酸化銅薄膜を作製することができた。

作製した酸化銅薄膜の作製条件の他にもう一つのパラメータとして基板加熱を与えた。作製条件を RF 電力 300W、成膜レート 5 Å/s、酸素導入量 15ml/min に固定し、加熱温度を 20 (室温) ~400 °C に変化させて酸化銅薄膜を作製した結果、図7となった。300°C に基板を加熱することにより、ゼーベック係数 0.82mV/K、抵抗率 2.5 Ω m の性能を有する酸化銅薄膜を作製した。

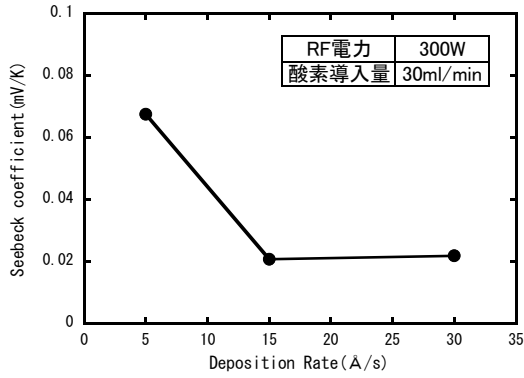


図3 成膜レート特性

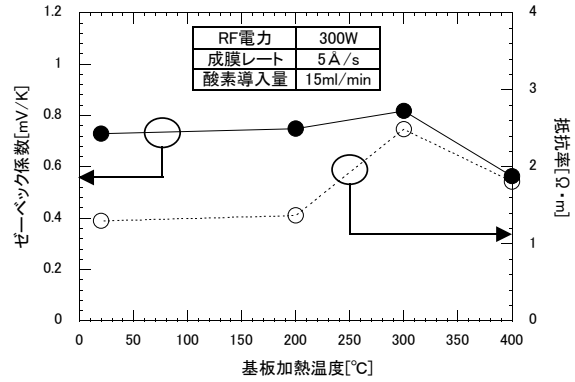


図7 基板加熱特性

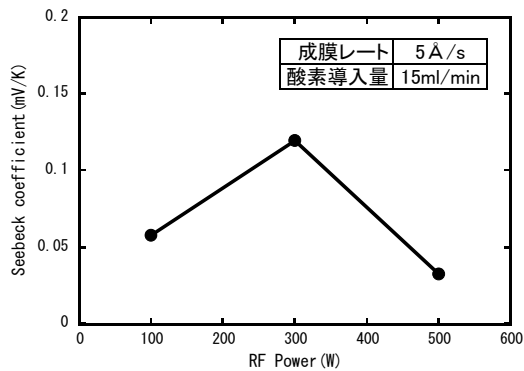


図4 RF電力特性

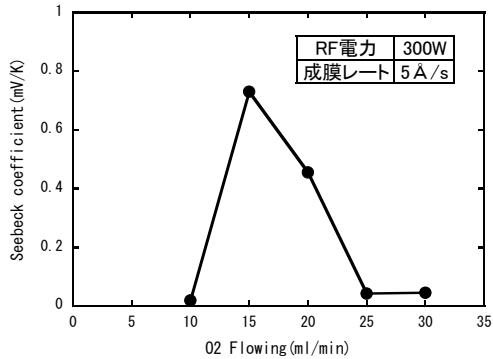


図5 酸素導入量特性

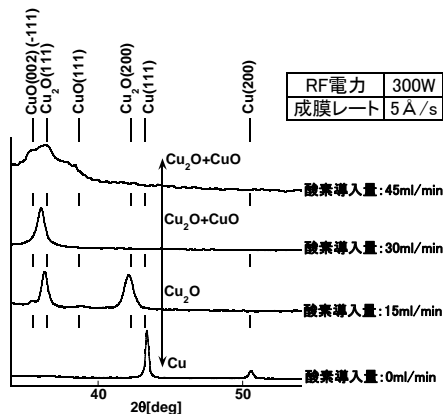


図6 酸素導入量の変化によるXRD結果

3.2 水素プラズマ処理

作製した酸化銅薄膜表面をイオンプレーティング装置チャンバー内に設置し、RF電力300W、水素を導入して水素プラズマを発生させた。10分間水素プラズマに暴露させた酸化銅薄膜の表面は、透明な茶褐色から銅の金属色に還元された(図8)。また、抵抗率が $5.6 \times 10^{-5} \Omega m$ と低減することができた。

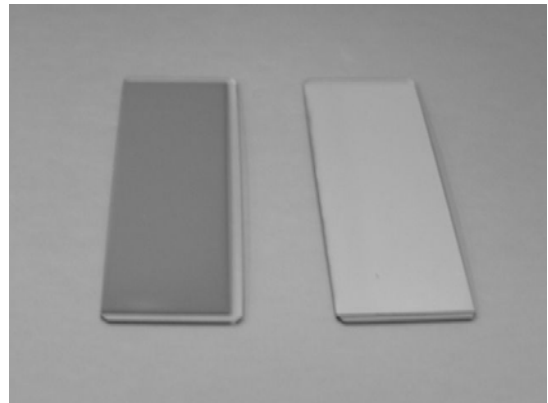


図8 水素プラズマ処理前(左)と処理後(右)

4 まとめ

RF電力 300W、成膜レート 5 Å/s、酸素導入量 15ml/minの作製条件により酸化銅薄膜を作製した。また、基板を 300°Cに加熱することでゼーベック係数 0.82mV/K、抵抗率 2.5 Ωmの酸化銅薄膜を作製した。また酸化銅薄膜を水素プラズマに暴露させることにより、抵抗率が $5.6 \times 10^{-5} \Omega m$ と低減することが確認できた。

今後、酸化銅薄膜と還元した銅を積層させることにより、高いゼーベック係数を維持しながら抵抗率を低減させることを目指す。

謝 辞

本研究は、独立行政法人科学技術振興機構 平成 17 年度「シーズ育成試験」の支援を受けました。

また、本研究を進めるに当たり、協力していただきました埼玉大学の内山弘基氏に感謝の意を表します。

参考文献

- 1) (社)日本セラミックス協会・日本熱電学会
：環境調和型新材料シリーズ 熱電変換材料，
日刊工業新聞社，(2005)240